

DATA STORAGE REGISTER DESIGNATION SYSTEM

Publication number: JP55103647

Publication date: 1980-08-08

Inventor: HIRUMA AKIHIRO

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: **G06F9/22; G06F9/22;** (IPC1-7): G06F9/22

- european:

Application number: JP19790010355 19790202

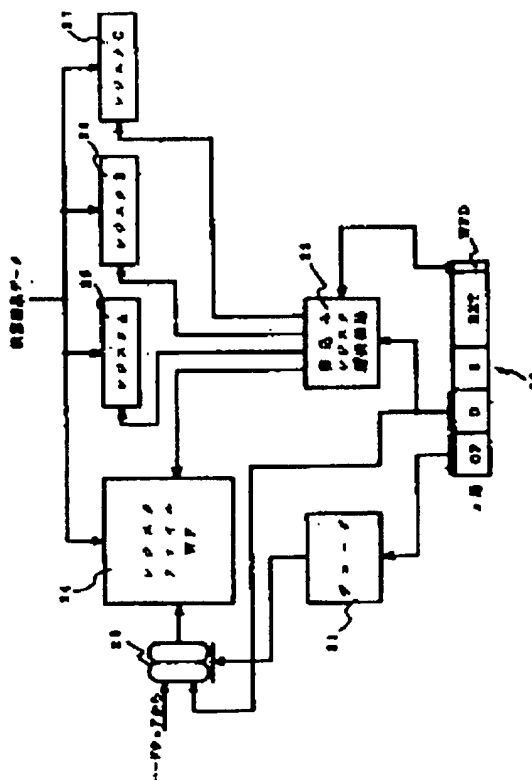
Priority number(s): JP19790010355 19790202

Report a data error here

Abstract of JP55103647

PURPOSE: To compress the storage capacity of a memory unit which stores micro words, by storing operation results in a register file without increment of word length of micro words and by designating this file.

CONSTITUTION:When the operation result is stored in registers 25-27 after execution of the operation designated by an OP code provided in field OP of micro instruction word 20, code information provided in field D of instruction word 20 and bit information of field WFD are given to write register selection circuit 22. This circuit 22 decides information of field D as code information when bit information is "0" and writes information of designated registers 25-27. For write onto register file 24, contents of field OP are decoded by decoder 21 to give information to selector switch 23, and address information of hardware is selected by address information of field D, and code information from circuit 22 is written onto file 24.



Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-103647

⑬ Int. Cl.³
G 06 F 9/22

識別記号

庁内整理番号
7201-5B

⑭ 公開 昭和55年(1980)8月8日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ データ格納レジスタ指定方式

青梅市末広町2丁目9番地東京
芝浦電気株式会社青梅工場内

⑯ 特 願 昭54-10355

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭54(1979)2月2日

川崎市幸区堀川町72番地

⑲ 発 明 者 比留間晶大

⑳ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

データ格納レジスタ指定方式

2. 特許請求の範囲

マイクロプログラムを収容する制御記憶装置を持つマイクロプログラム制御方式の情報処理装置において、複数の各種レジスタとレジスタファイルを演算結果を格納するレジスタとして用い、マイクロ命令語の中の前記演算結果を格納するレジスタを指定するフィールドに設けられた前記複数の各種レジスタを指定するコード情報または前記レジスタファイルのアドレス情報と、前記レジスタファイルが演算結果を格納するレジスタであることとを指定するフィールドに設けられた情報により、前記複数の各種レジスタあるいはレジスタファイルの1つを選択し、演算結果を格納することを特徴とするデータ格納レジスタ指定方式。

3. 発明の詳細な説明

(1)

本発明はマイクロプログラム制御方式の情報処理装置において、演算結果を格納するレジスタを指定するデータ格納レジスタ指定方式に関する。

一般に従来の算術演算型あるいは論理演算型マイクロ命令語（以下μ語とよぶ）は第1図に示すような主要構成となっている。即ち、μ語(10)には演算の基本動作を指定するフィールド(OP)と、この基本動作を実行するためのソースデータを格納している対象レジスタを指定するフィールド(S)と、演算結果を格納する対象レジスタを指定するフィールド(D)、拡張機能を指定するフィールド(EXT)が設けられている。従来このようなμ語において、フィールド(D)で指定する対象レジスタとしては第1図に示すAレジスタ(15)、Bレジスタ(16)、Cレジスタ(17)の各種レジスタが一般的である。また、更に複数の記憶容量を持つワーキングレジスタファイルWP(14)(以下レジスタファイルとよぶ)

(2)

も対象レジスタとして指定したい場合には、第1図に示すように μ 語(10)の中にレジスタファイル(14)のアドレスを指定するフィールド(WFアドレス)を設けていた。

以下第1図を用いて従来の演算結果を格納するレジスタを指定する動作を説明する。例えば演算結果をAレジスタ(15)に格納するときには次のように行なわれる。即ち、まず μ 語(10)のフィールド(D)に設けたコード情報を書き込みレジスタ選択回路(12)に与える。この書き込みレジスタ選択回路(12)では、前記コード情報を解釈し、その結果Aレジスタ(15)に書き込み信号を送り演算結果を格納する。このとき μ 語(10)のフィールド(OP)に設けたOPコードはデコーダ(11)に与えられており、そこで解釈されてこの μ 語は、演算結果を格納するレジスタとして各種レジスタを指定していることを判断する。このように判断したデコーダ(11)は、セレクトスイッチ(13)へ制御信号を送り所定のハード

(3)

ウェアから与えられるアドレス情報を選択するよう制御する。従って、このときレジスタファイル(11)はハードウェアから自由にアクセスすることができる。

また、演算結果をレジスタファイル(14)に格納するときには次のように行なわれる。即ち、まず μ 語(10)のフィールド(OP)に設けたOPコードをデコーダ(11)に与える。このデコーダ(11)では、OPコードを解釈して μ 語(10)が演算結果を格納するレジスタとしてレジスタファイル(14)を指定していることを判断して制御信号をセレクトスイッチ(13)へ送出する。セレクトスイッチ(13)では、この制御信号によって μ 語(10)のフィールド(WFアドレス)に設けたアドレス情報を選択し、レジスタファイル(14)に与える。一方 μ 語(10)のフィールド(D)に設けたコード情報を書き込みレジスタ選択回路(12)に与える。書き込みレジスタ選択回路(12)では演算結果を格納するレジスタとし

(4)

てレジスタファイル(14)を指定していることを解釈し、レジスタファイル(14)へ書き込み信号を送出する。書き込み信号およびアドレス情報を与えられたレジスタファイル(14)は、アドレス情報の指定する番地に演算結果が書き込まれる。

このように従来演算結果をレジスタファイルの所定の番地に格納したい場合には、その番地を指定するアドレス情報を μ 語(10)の中にフィールド(WFアドレス)として設ける必要があった。従って、フィールド(WFアドレス)を設けた分だけ μ 語の語長が大きくなってしまい、また、この μ 語を格納する制御記憶装置の記憶容量が大きくなったり、その他周辺回路なども大きくなってしまい経済的でなかった。

本発明はこれら従来の欠点を除去し、 μ 語の語長を大きくすることなく演算結果を格納するレジスタとしてレジスタファイルを指定できるようにすることを目的とする。また、

(5)

他の目的として μ 語を格納する制御記憶装置の記憶容量を圧縮することにある。

以下第2図を用いて本発明の実施例について説明する。レジスタA(25)、レジスタB(26)、レジスタC(27)は、各種レジスタである。レジスタファイル(24)は複数語の記憶容量を有し、アドレス情報によってデータの書き込み、読出しの番地指定を行なう。符号(23)で示すものはレジスタファイル(24)に与えるアドレス情報を選択するセレクトスイッチである。符号(22)で示すものは書き込みレジスタ選択回路であり、符号(21)で示すものはデコーダである。 μ 語(20)において、フィールド(D)には演算結果をどのゼネラルレジスタに格納するか指定するためのコード情報、または演算結果をレジスタファイル(24)の所定の番地に格納することを指定するアドレス情報のいずれかを設ける。 μ 語(20)のフィールド(D)に前記アドレス情報が設けられているときには、フィールド(WF)

(6)

には演算結果をレジスタファイル(24)に格納するという意味でビット"1"が立ち有意味となる。また、このフィールド(D)に前記コード情報が設けられているときには、フィールド(WFD)には演算結果を各種レジスタに格納するという意味でビット"0"が立ち無意味となる。

いま、μ語(20)のフィールド(OP)に設けたOPコードが指定する演算の基本動作を実行した後、その演算結果をレジスタB(26)に格納するときには、次のように行なう。まず、μ語(20)のフィールド(D)に設けたコード情報と、フィールド(WFD)に設けたビット情報とを書込みレジスタ選択回路(22)に与える。書込みレジスタ選択回路(22)では、フィールド(WFD)に設けたビット情報が"0"になっていることからフィールド(D)に設けられた情報がコード情報であることを判断する。さらにこの情報を解説し、レジスタB(26)に書込み信号を与えて演算結果を格納

(7)

信号をセレクトスイッチ(23)に与えてフィールド(D)に設けたアドレス情報を選択するよう制御する。書込みレジスタ選択回路(22)では、フィールド(WFD)に設けたビット情報が"1"であることからこのμ語(20)が演算結果をレジスタファイル(24)に格納するよう指定していることを判断し、レジスタファイル(24)へ書込み信号を与える。このように書込み信号、アドレス情報が与えられたレジスタファイル(24)は、前記アドレス情報が指定する番地に演算結果が書込まれる。

以上の説明では演算結果をレジスタの1つとしてレジスタファイルを1つ設けた場合について説明したが、レジスタファイルは複数個設けてもよい。この場合には、μ語のフィールド(WFD)に複数ビットのビット情報またはコード情報を設け1つのレジスタファイルを指定する必要がある。

以上の説明から明らかなように本発明によ

(9)

するよう制御する。このときデコーダ(21)は、μ語(20)のフィールド(OP)に設けたOPコードを解説し、その結果μ語(20)が演算結果を各種レジスタに格納することを指定していることを判断する。このように判断したデコーダ(21)は制御信号をセレクトスイッチ(23)に与えてハードウェアから与えられるアドレス情報を選択するよう制御する。

また、演算結果をレジスタファイル(24)に格納するときには次のように行なう。まず、μ語(20)のフィールド(D)に設けたアドレス情報をセレクトスイッチ(23)へ与える。また、フィールド(OP)に設けたOPコードをデコーダ(21)に与える。更にフィールド(WFD)に設けたビット情報を書込みレジスタ選択回路(22)へ与える。デコーダ(21)では前記OPコードを解説し、その結果μ語(20)が演算結果をレジスタファイル(24)に格納することを指定していることを判断する。このように判断したデコーダ(21)は、制御

(8)

れば、μ語の語長を大きくすることなく演算結果を格納するレジスタとしてレジスタファイルを指定することができる。また、μ語を格納する制御記憶装置の記憶容量を圧縮することができる。更にその他周辺回路の大きさも圧縮できる。

尚、第2図に示したμ語から明らかなように、第1図に示した従来のμ語と同じ語長にすれば拡張機能を指定するフィールド(EXT)を大きくすることができる。

4. 図面の簡単な説明

第1図は従来のデータ格納レジスタ指定方式を説明するためのブロック図。第2図は本発明のデータ格納レジスタ指定方式を説明するためのブロック図である。

- (20) マイクロ命令語
- (21) デコーダ
- (22) 書込みレジスタ選択回路
- (23) セレクトスイッチ
- (24) レジスタファイル

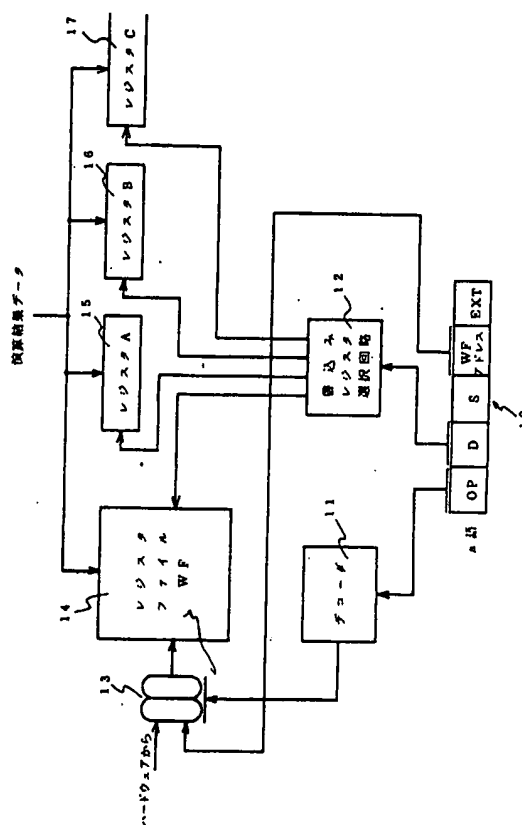
(10)

- (25) レジスタ A
 (26) レジスタ B
 (27) レジスタ C

(7317) 代理人 弁理士 則 近 彦 佑

(7801) 代理人 弁理士 山 下 一

第 1 図



(11)

第 2 図

